

#2
M. MacPeak
7-12-00

LAW OFFICES
SUGHRUE, MION, ZINN, MACPEAK & SEAS, PLLC

2100 PENNSYLVANIA AVENUE, N.W.
WASHINGTON, D.C. 20037-3202
TELEPHONE (202) 293-7060
FACSIMILE (202) 293-7860

CALIFORNIA OFFICE

1010 EL CAMINO REAL
MENLO PARK, CA 94025
TELEPHONE (650) 325-5800
FACSIMILE (650) 325-6606

BOX: PATENT APPLICATION

Assistant Commissioner for Patents
Washington, D.C. 20231

April 21, 2000

JAPAN OFFICE

TOEI NISHI SHIMBASHI BLDG. 4F
13-5 NISHI SHIMBASHI 1-CHOME
MINATO-KU, TOKYO 105, JAPAN
TELEPHONE (03) 3503-3760
FACSIMILE (03) 3503-3756

Re: Application of Yukio SUGITA
PULSE WIDTH MODULATING DEVICE AND EXPOSURE DEVICE
Our Reference: Q58959



Dear Sir:

Attached hereto is the application identified above including the specification, claims, executed Declaration and Power of Attorney, sixteen (16) sheets of drawings, one (1) priority document, executed Assignment and PTO Form 1595.

The Government filing fee is calculated as follows:

Total Claims	20 - 20 =	0 x \$18 =	\$ 000.00
Independent Claims	4 - 3 =	1 x \$78 =	\$ 78.00
Base Filing Fee	(\$690.00)		\$ 690.00
Multiple Dep. Claim Fee	(\$260.00)		\$ 000.00
TOTAL FILING FEE			\$ 768.00
Recordation of Assignment Fee			\$ 40.00
TOTAL U.S. GOVERNMENT FEE			\$ 808.00

Checks for the statutory filing fee of \$ 768.00 and Assignment recordation fee of \$ 40.00 are attached. You are also directed and authorized to charge or credit any difference or overpayment to Deposit Account No. 19-4880. The Commissioner is hereby authorized to charge any fees under 37 C.F.R. 1.16 and 1.17 and any petitions for extension of time under 37 C.F.R. 1.136 which may be required during the entire pendency of the application to Deposit Account No. 19-4880. A duplicate copy of this transmittal letter is attached.

Priority is claimed from:

Japanese Patent Application

11-115924

Filing Date

April 23, 1999

Respectfully submitted,
SUGHRUE, MION, ZINN, MACPEAK & SEAS
Attorneys for Applicant(s)

By Darryl Mexic
Darryl Mexic
Registration No. 23,063

DM:amt

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1999年 4月23日

出 願 番 号
Application Number:

平成11年特許願第115924号

出 願 人
Applicant(s):

富士写真フイルム株式会社

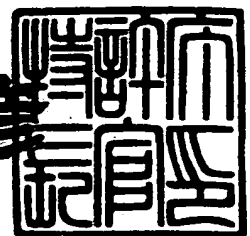
JC564 U.S. PTO
09/556821
04/21/00

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 3月17日

特許庁長官
Director,
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3018237

【書類名】 特許願

【整理番号】 FSP-99144

【提出日】 平成11年 4月23日

【あて先】 特許庁長官殿

【国際特許分類】 B41J 2/435
H03K 7/08

【発明者】

【住所又は居所】 神奈川県足柄上郡開成町宮台 7 9 8 番地 富士写真フイルム株式会社内

【氏名】 杉田 由紀夫

【特許出願人】

【識別番号】 000005201

【氏名又は名称】 富士写真フイルム株式会社

【代理人】

【識別番号】 100079049

【弁理士】

【氏名又は名称】 中島 淳

【電話番号】 03-3357-5171

【選任した代理人】

【識別番号】 100084995

【弁理士】

【氏名又は名称】 加藤 和詳

【電話番号】 03-3357-5171

【選任した代理人】

【識別番号】 100085279

【弁理士】

【氏名又は名称】 西元 勝一

【電話番号】 03-3357-5171

【選任した代理人】

【識別番号】 100099025

【弁理士】

【氏名又は名称】 福田 浩志

【電話番号】 03-3357-5171

【手数料の表示】

【予納台帳番号】 006839

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9800120

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 パルス幅変調装置

【特許請求の範囲】

【請求項 1】 パルス幅変調信号における各パルスが発生させるタイミングの基準となるクロック信号を生成するクロック生成手段と、

前記クロック信号を所定時間遅延させる遅延手段と、

前記クロック信号及び前記遅延手段によって遅延されたクロック信号の一方に同期してパルス幅変調信号の各パルスを立ち上げ、前記クロック信号及び前記遅延手段によって遅延されたクロック信号の他方に同期して前記パルス幅変調信号の各パルスを立ち下げるパルス幅変調信号出力手段と、

を備えたパルス幅変調装置。

【請求項 2】 パルス幅変調信号における各パルスが発生させるタイミングの基準となるクロック信号を生成するクロック生成手段と、

各々前記クロック信号を遅延させる、各々の遅延時間が徐々に長くされた複数の遅延手段と、

前記クロック信号及び各々前記複数の遅延手段の各々によって遅延された複数のクロック信号の何れか 1 つに同期してパルス幅変調信号の各パルスを立ち上げ、前記クロック信号及び前記複数のクロック信号の残りの何れか 1 つに同期して前記パルス幅変調信号の各パルスを立ち下げるパルス幅変調信号出力手段と、

を備えたパルス幅変調装置。

【請求項 3】 パルス幅変調信号における各パルスが発生させるタイミングの基準となるクロック信号を生成するクロック生成手段と、

前記クロック信号を反転させる反転手段と、

前記クロック信号及び前記反転手段によって反転されたクロック信号の一方に同期してパルス幅変調信号の各パルスを立ち上げ、前記クロック信号及び前記反転手段によって反転されたクロック信号の他方に同期して前記パルス幅変調信号の各パルスを立ち下げるパルス幅変調信号出力手段と、

を備えたパルス幅変調装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、パルス幅変調装置に係り、特に、ビット分解能が高いパルス幅変調信号を生成することができるパルス幅変調装置に関する。

【 0 0 0 2 】

【従来の技術】

図 1 3 には、パルス幅変調信号 (Pulse Width Modulation 信号、以下、PWM 信号という) を生成する従来のパルス幅変調装置の一般的な構成例が示されている。

【 0 0 0 3 】

同図に示すパルス幅変調装置 8 0 では、クロック生成器 8 2 によって生成されたリセット信号に応じてコントロールロジック 8 4 により R-S フリップフロップ 8 6 のセット端子 (S 端子) にセット信号が入力されて、R-S フリップフロップ 8 6 の出力端子 (Q 端子) からの出力信号の立ち上げが行なわれると共に、クロック生成器 8 2 によって生成された上記リセット信号がカウンタ 8 8 に入力されることによりカウンタ 8 8 がリセットされる。

【 0 0 0 4 】

その後、動作クロック生成器 9 0 によって生成された動作クロックのカウンタ 8 8 による計数が開始され、該計数値と生成すべき PWM 信号の各パルスのパルス幅を示す PWM データとがコンパレータ 9 2 で比較され、上記計数値と PWM データが等しくなったときにコンパレータ 9 2 から出力される信号をトリガとして上記コントロールロジック 8 4 が R-S フリップフロップ 8 6 のリセット端子 (R 端子) にパルスを出力することによって R-S フリップフロップ 8 6 の出力信号の立ち下げが行なわれて、生成すべき PWM 信号を得ていた。

【 0 0 0 5 】

【発明が解決しようとする課題】

しかしながら、上記従来のパルス幅変調装置では、上述したように、動作クロックの各パルスを計数し、該計数値と PWM データとの比較結果に基づいて PWM 信号の立ち下げのタイミングを決定しているので、生成する PWM 信号の

ト分解能（PWM信号の最大パルス幅によって再現できるPWMデータのビット数）は上記動作クロックの周波数によって決められてしまい、該決められたビット分解能を向上することができない、という問題点があった。

【0006】

すなわち、例えば、上記動作クロックの周波数が40MHz、PWM信号の最大パルス幅が102.375μSである場合、パルス幅は25nS（=1/40MHz）単位で4095（=102.375μS÷25nS、12ビット分）の分解能しかとれない。

【0007】

本発明は上記問題点を解消するために成されたものであり、生成するパルス幅変調信号のビット分解能を向上することができるパルス幅変調装置を提供することを目的とする。

【0008】

【課題を解決するための手段】

上記目的を達成するために、請求項1記載のパルス幅変調装置は、パルス幅変調信号における各パルスが発生させるタイミングの基準となるクロック信号を生成するクロック生成手段と、前記クロック信号を所定時間遅延させる遅延手段と、前記クロック信号及び前記遅延手段によって遅延されたクロック信号の一方に同期してパルス幅変調信号の各パルスを立ち上げ、前記クロック信号及び前記遅延手段によって遅延されたクロック信号の他方に同期して前記パルス幅変調信号の各パルスを立ち下げるパルス幅変調信号出力手段と、を備えている。

【0009】

請求項1に記載のパルス幅変調装置によれば、クロック生成手段によってパルス幅変調信号における各パルスが発生させるタイミングの基準となるクロック信号が生成され、遅延手段によってクロック信号が所定時間遅延される。なお、上記遅延手段としては、デジタル遅延回路、ディレイライン等を適用することができる。

【0010】

その後、パルス幅変調信号出力手段により、クロック信号、及び上記遅延手段

によって遅延されたクロック信号の一方に同期してパルス幅変調信号の各パルスが立ち上げられ、クロック信号、及び上記遅延手段によって遅延されたクロック信号の他方に同期して上記パルス幅変調信号の各パルスが立ち下げられる。

【0011】

このように、請求項1に記載のパルス幅変調装置によれば、クロック信号、及び遅延手段によって遅延されたクロック信号の一方に同期してパルス幅変調信号の各パルスを立ち上げ、クロック信号、及び遅延手段によって遅延されたクロック信号の他方に同期してパルス幅変調信号の各パルスを立ち下げているので、クロック信号のみに基づいてパルスの立ち上げ及び立ち下げを行なう場合に比較して、パルス幅変調信号のビット分解能を向上することができる。

【0012】

また、請求項2に記載のパルス幅変調装置は、パルス幅変調信号における各パルスを発生させるタイミングの基準となるクロック信号を生成するクロック生成手段と、各々前記クロック信号を遅延させる、各々の遅延時間が徐々に長くされた複数の遅延手段と、前記クロック信号及び各々前記複数の遅延手段の各々によって遅延された複数のクロック信号の何れか1つに同期してパルス幅変調信号の各パルスを立ち上げ、前記クロック信号及び前記複数のクロック信号の残りの何れか1つに同期して前記パルス幅変調信号の各パルスを立ち下げるパルス幅変調信号出力手段と、を備えている。

【0013】

請求項2に記載のパルス幅変調装置によれば、クロック生成手段によってパルス幅変調信号における各パルスを発生させるタイミングの基準となるクロック信号が生成され、各々の遅延時間が徐々に長くされた複数の遅延手段の各々によって上記クロック信号が遅延される。なお、上記遅延手段としては、デジタル遅延回路、ディレイライン等を適用することができる。

【0014】

その後、パルス幅変調信号出力手段により、クロック信号、及び各々上記複数の遅延手段の各々によって遅延された複数のクロック信号の何れか1つに同期してパルス幅変調信号の各パルスが立ち上げられ、クロック信号、及び上記複数の

クロック信号の残りの何れか 1 つに同期して上記パルス幅変調信号の各パルスが立ち下げられる。

【 0 0 1 5 】

このように、請求項 2 に記載のパルス幅変調装置によれば、クロック信号、及び各々遅延時間が徐々に長くされた複数の遅延手段の各々によって遅延された複数のクロック信号の何れか 1 つに同期してパルス幅変調信号の各パルスを立ち上げ、クロック信号、及び上記複数のクロック信号の残りの何れか 1 つに同期して上記パルス幅変調信号の各パルスを立ち下げているので、1 つの遅延手段により 1 つの遅延されたクロック信号を生成して使用する場合に比較して、パルス幅変調信号のビット分解能を、より向上することができる。

【 0 0 1 6 】

また、請求項 3 に記載のパルス幅変調装置は、パルス幅変調信号における各パルスを発生させるタイミングの基準となるクロック信号を生成するクロック生成手段と、前記クロック信号を反転させる反転手段と、前記クロック信号及び前記反転手段によって反転されたクロック信号の一方に同期してパルス幅変調信号の各パルスを立ち上げ、前記クロック信号及び前記反転手段によって反転されたクロック信号の他方に同期して前記パルス幅変調信号の各パルスを立ち下げるパルス幅変調信号出力手段と、を備えている。

【 0 0 1 7 】

請求項 3 に記載のパルス幅変調装置によれば、クロック生成手段によってパルス幅変調信号における各パルスを発生させるタイミングの基準となるクロック信号が生成され、反転手段によってクロック信号が反転される。

【 0 0 1 8 】

その後、パルス幅変調信号出力手段により、クロック信号、及び上記反転手段によって反転されたクロック信号の一方に同期してパルス幅変調信号の各パルスが立ち上げられ、クロック信号、及び上記反転手段によって反転されたクロック信号の他方に同期して上記パルス幅変調信号の各パルスが立ち下げられる。

【 0 0 1 9 】

このように、請求項 3 に記載のパルス幅変調装置によれば、クロック信号、及

び反転手段によって反転されたクロック信号の一方に同期してパルス幅変調信号の各パルスを立ち上げ、クロック信号、及び反転手段によって反転されたクロック信号の他方に同期してパルス幅変調信号の各パルスを立ち下げているので、クロック信号のみに基づいてパルスの立ち上げ及び立ち下げを行なう場合に比較して、パルス幅変調信号のビット分解能を向上することができる。

【 0 0 2 0 】

【発明の実施の形態】

本実施の形態では、本発明のパルス幅変調装置を画像データに基づいて L E D チップの発光を制御して感光材料上に画像を記録する画像記録装置の上記 L E D チップの発光を制御する部分として適用した場合について説明する。

【 0 0 2 1 】

〔第 1 実施形態〕

（全体構成「外観」）

図 1 乃至図 3 には、本実施形態に係る画像記録装置 1 0 0 が示されている。

【 0 0 2 2 】

この画像記録装置 1 0 0 は、C D - R O M 1 0 2 や F D （フロッピーディスク） 1 0 4 （図 3 参照）に記録された画像データを読取り、画像データに基づいた画像を感光材料 1 0 6 に露光すると共に、この感光材料 1 0 6 に記録された画像を普通紙（受像紙 1 0 8 ）に転写して出力する装置である。

【 0 0 2 3 】

箱型のケーシング 1 1 0 の前面（図 3 の左側）の上部は傾斜面とされ、操作表示部 1 1 2 が設けられている。

【 0 0 2 4 】

図 2 に示される如く、操作表示部 1 1 2 は、右側に位置するモニタ部 1 1 4 と左側に位置する入力部 1 1 6 とに分類され、モニタ部 1 1 4 は前記読み取った画像が写し出されるようになっている。

【 0 0 2 5 】

また、入力部 1 1 6 は、複数の操作キー 1 1 8 と、入力データ確認用表示部 1 2 0 とで構成されており、記録枚数、サイズ設定、色バランス調整、ネガ／ポジ

選択等、画像記録に必要なデータを入力することができるようになっている。

【0026】

操作表示部 112 の下方には、デッキ部 122 が配設されている。デッキ部 122 は、図 2 の右側に位置する CD-ROM 用デッキ部 124 と、左側に位置する FD デッキ部 126 とで構成されている。

【0027】

CD-ROM 用デッキ部 124 は、開閉ボタン 128 を押圧操作することにより、トレイ 130 が開閉できるようになっている。このトレイ 130 上に CD-ROM 102 を載置することにより、CD-ROM 102 を装置内部に装填することができる。

【0028】

一方、FD デッキ部 126 は、FD 挿入スロットル 132 が設けられ、FD 104 を挿入することにより、装置内部の駆動系が作動して、FD 104 を引き入れる構造となっている。なお、FD 104 を取り出す場合は、操作ボタン 134 を押圧することにより、FD 104 を引き出すことができる。

【0029】

なお、CD-ROM デッキ部 124 及び FD デッキ部 126 には、それぞれアクセスランプ 136、138 が設けられ、装置内でアクセス中はこのアクセスランプ 136、138 が点灯するようになっている。

【0030】

デッキ部 122 のさらに下方には、排出トレイ 140 が配設されている。この排出トレイ 140 は、通常は装置内に収容されており、把持部 142 に指をかけて引き出すことができるようになっている（図 1 参照）。

【0031】

この排出トレイ 140 上に、前記画像が記録された受像紙 108 が排出されるようになっている。

【0032】

受像紙 108 は、予めトレイ 144 に層状に収容されており、このトレイ 144 はケーシング 110 の上面に設けられた、トレイ装填口 146 に装填されるよ

うになっている。このトレイ装填口 146 に装填されたトレイ 144 から、1 枚ずつ受像紙 108 を取り出し、画像を転写させた後、前記排出トレイ 140 へ案内される構成である。

【0033】

ケーシング 110 の右側面（図 1 の紙面手前側）には、2 個の円形のカバー部材 148、150 が取付けられている。このカバー部材 148、150 は、個々着脱可能とされており、このカバー部材 148、150 の軸線方向に沿った装置内部には、図 3 に示される如く、ロール状の感光材料 106 を巻き取る供給リール 152 と巻取リール 154 とが配設されており、これらのリールは、カバー部材 148、150 を取り外した状態で取り出し、又は装填することができるようになっている。

【0034】

（受像紙搬送系）

図 3 に示される如く、トレイ装填口 146 に装填されたトレイ 144 は、その先端部上面が半月ローラ 156 に対向するようになっている。

【0035】

半月ローラ 156 は周面の一部が軸線と平行な面で切り欠かれており、通常は、この切欠部 158 がトレイ 144 内の最上層の受像紙 108 と、所定の間隔をおいて対向されている。ここで、半月ローラ 156 が回転すると、前記最上層の受像紙 108 と半月ローラ 156 の周面とが接触し、半月ローラ 156 が 1 回転することによって受像紙 108 が若干引き出される。引き出された受像紙 108 は、第 1 のローラ対 160 に挟持され、この第 1 のローラ対 160 の駆動力によって、トレイ 144 から完全に引き出される。

【0036】

第 1 のローラ対 160 の下流側には、第 2 のローラ対 162、ガイド板 164、第 3 のローラ対 166 が順に配設されており、受像紙 108 は第 1 のローラ対 160 に挟持された後、第 2 のローラ対 162 に挟持され、かつガイド板 164 に案内され、第 3 のローラ対 166 に挟持される。

【0037】

この第3のローラ対166では、感光材料106との重ね合わせも行われる。すなわち、第3のローラ対166は、感光材料106の搬送路としても使用される。

【0038】

(感光材料搬送系)

感光材料106は、供給リール152に層状に巻き取られた長尺の形で装置に装填されている。供給リール152は、前記カバー部材150（装置後方側）を取り外し、軸線方向に挿入することにより、所定位置に装填することができる。

【0039】

感光材料106が所定位置に装填されている状態で、最外層を引き出し初期設定として所定の搬送路に沿ってローディングが行われている。ローディングの手順は、供給リール152から最外層を引き出し、この供給リール152の装填位置近傍の第4のローラ対168に挟持させ、リザーバ部170、ガイド板172を介して、前記第3のローラ対166に挟持させた後、ヒートローラ174に巻き掛けて、巻取リール154に巻き掛けるようにしている。なお、この場合、ローディングに必要な長さ分のリーダーテープを供給リール152に巻き取られた感光材料106の先端部に設けてもよい。

【0040】

なお、この感光材料106の搬送路の内、第4のローラ対168とリザーバ部170との間には露光部176が設けられている。また、リザーバ部170とガイド板172との間には、水塗布部178が設けられている。この露光部176及び水塗布部178の詳細については後述するが、工程として感光材料106に露光部176で画像が露光された後、乳剤面（露光面）に水が塗布された状態で第3のローラ対166で受像紙108と重ね合わされるようになっている。

【0041】

(ヒートローラ)

ヒートローラ174は、本装置の熱現像転写部であり、円筒状のローラ本体180と、このローラ本体180の内部の軸線に沿って設けられたヒータ182と、で構成されており、ヒータ182の作動によって、ローラ本体180の表面が

加熱され、このローラ本体 180 に巻き掛けられる部材（感光材料 106 及び受像紙 108）に熱を与える役目を有している。この加熱により、熱現像転写処理がなされ、感光材料 106 上に記録された画像が、受像紙 108 に転写されるようになっている。

【0042】

ヒートローラ 174 の左下近傍には剥離ローラ 184 と剥離爪 186 とが設けられ、ヒートローラ 174 に約 1/3 程度巻き掛けられた受像紙 108 を感光材料 106 から引き剥がし、排出トレイ 140 方向に受像紙 108 を案内する構造となっている。

【0043】

一方、感光材料 106 は、ヒートローラ 174 に約 1/2 程度巻き取られ、180° 方向転換されて巻取リール 154 が装填された位置へ案内されるようになっている。

【0044】

（水塗布部）

図 3 に示される如く、水塗布部 178 は、画像形成用溶媒としての水を感光材料 106 又は受像紙 108 に付与し、両者の重ね合わせ面を密着させ、熱現像する役目を有しており、感光材料 106 の幅方向に沿って長尺の塗布片 188 と、水を貯留するタンク 190 とで構成されている。

【0045】

塗布片 188 は、フェルトやスポンジ等の吸収性の高い部材で、かつ適度な硬さを持ったもので、感光材料 106 が搬送時に所定の圧力で接触するようになっている。タンク 190 内の水は毛細管現象を利用して、塗布片 188 へ常に適度な量が移行するようになっており、前記感光材料 106 と塗布片 188 とが接触することにより、塗布片 188 によって感光材料 106 の表面（乳剤面）に水が塗布される構成である。

【0046】

また、塗布片 188 が適度な圧力で感光材料 106 に当接しているため、水は、均一に塗布される。

【0047】

タンク190内の水は、水塗布部178全体を取り外すことにより、補充するようになっているが、配管を施して、装置外部から常に水を供給するようにしてもよい。

【0048】

なお、本実施形態では、画像形成用溶媒として水を使用しているが、この水は純水に限らず、広く一般的に使用されている意味で水を含む。また、水とメタノール、DMF、アセトン、ジイソプチルケトン等の低沸点溶媒との混合溶媒であってもよい。さらに、画像形成促進剤、カブリ防止剤、現像停止剤、親水性熱溶媒等を含有させた溶液であってもよい。

【0049】

(露光部)

図4には、本実施形態に係る露光部176が示されている。

【0050】

露光部176は、感光材料106の搬送路上方に設けられた光源ユニット200を主構成として、コントローラ202に接続されている。コントローラ202には、画像データが入力され(前記CD-ROM102やFD104から読み取った画像データ)、この画像データに応じて、光源ユニット200内のフルカラー画像形成用光源部204を点灯させるようになっている。なお、本発明に特に関係するコントローラ202内のフルカラー画像形成用光源部204を点灯させる部分及びその周辺の構成、すなわち本発明のパルス幅変調装置に相当する部分を含んだ構成については詳細に後述する。

【0051】

光源ユニット200は、後述する主走査ユニット206の駆動によって、感光材料106の幅方向(主走査方向)に移動可能となっており、感光材料106が露光部176をステップ移動するときの停止時に主走査が行われるようになっている。

【0052】

露光部176の光源ユニット200は、箱型の露光ケーシング214によって

覆われており、この露光ケーシング 2 1 4 の上端面にフルカラー画像形成用光源部 2 0 4 が配設され、このフルカラー画像形成用光源部 2 0 4 の発光面が露光ケーシング 2 1 4 の開孔部側に向けられている。フルカラー画像形成用光源部 2 0 4 の発光面側には、発光色毎に矩形状の開孔部が設けられたアパーチャ 2 1 6 が配設され、R（レッド）、G（グリーン）、B（ブルー）の各色に発光する R-LEDチップ 2 0 8 R、G-LEDチップ 2 0 8 G、B-LEDチップ 2 0 8 B（各色それぞれ 1 1 個ずつ、図 5 参照）からの光の広がりを制限している。

【0 0 5 3】

アパーチャ 2 1 6 の下流側で露光ケーシング 2 1 4 の中央部には、レンズ 2 1 2 が配設され、フルカラー画像形成用光源部 2 0 4 からの光を集光し、感光材料 1 0 6 近傍に結像させる役目を有している。なお、結像される光の解像度は、3 0 0 ~ 4 0 0 d p i 程度である。また、レンズ 2 1 2 は図面の上で単体で示しているが、複数枚のレンズを組み合わせて単一のレンズ系を構成してもよい。

【0 0 5 4】

ここで、レンズ 2 1 2 は、複数枚のレンズと絞りで構成されており、像面の高さがある程度変わっても倍率変動しない特性を持ったレンズであるとした場合、主走査ユニット 2 0 6 による主走査移動時等の微小な誤差を吸収することができる。

【0 0 5 5】

また、ピントは、図示しないオートフォーカス機構によって常に調整されている。

【0 0 5 6】

光源ユニット 2 0 0 は、主走査ユニット 2 0 6 の一部を構成する互いに平行な一対のガイドシャフト 2 1 8 に支持されている。このガイドシャフト 2 1 8 は、感光材料 1 0 6 の幅方向（図 4 の矢印 W 方向）に沿って配設されており、フルカラー画像形成用光源部 2 0 4 は、このガイドシャフト 2 1 8 に案内されて、感光材料 1 0 6 の幅方向に移動可能とされている。

【0 0 5 7】

フルカラー画像形成用光源部 2 0 4 の露光ケーシング 2 1 4 には、無端のタイ

ミングベルト 220 の一部が固定されている。このタイミングベルト 220 の両端は、それぞれガイドシャフト 218 の両端近傍に位置するスプロケット 222 に巻き掛けられている。一方のスプロケット 222 の回転軸は変速機 224 を介してステッピングモータ 226 の回転軸と連結されており、このステッピングモータ 226 の往復回転によって、フルカラー画像形成用光源部 204 は、ガイドシャフト 218 に沿って往復移動される。

【0058】

ステッピングモータ 226 の駆動は、コントローラ 202 によって制御され、感光材料 106 のステップ移動と同期がとられている。すなわち、感光材料 106 が 1 ステップ移動して停止した状態で、ステッピングモータ 226 が回転を開始して感光材料 106 上をフルカラー画像形成用光源部 204 が感光材料 106 の幅方向に沿って移動する。所定パルスを確認した後、ステッピングモータ 226 を逆回転させることにより、フルカラー画像形成用光源部 204 は、元の位置に戻る。このフルカラー画像形成用光源部 204 の戻り動作と同時に感光材料 106 の次の移動が開始されるようになっている。

【0059】

光源ユニット 200 の光出力側、感光材料 106 との対向面かつ主走査開始位置近傍にはフォトダイオード 228 が配設され、フルカラー画像形成用光源部 204 からの光源の光量に比例した大きさのアナログ信号を出力するようになっている。このフォトダイオード 228 は、光量補正ユニット 230 に接続され、前記アナログ信号はこの光量補正ユニット 230 へ入力される。

【0060】

光量補正ユニット 230 では、検出した各色の LED チップ 208 からの光量を比較して、光量、色バランス調整を行い、補正値をコントローラ 202 へ出力する役目を有している。この補正値に基づいて、フルカラー画像形成用光源部 204 へ送られる画像データが補正され、適正な光量で各 LED チップ 208 が点灯する。

【0061】

図 5 に示される如く、フルカラー画像形成用光源部 204 は、B-LED チッ

ブ208B、G-LEDチップ208G、R-LEDチップ208Rが集合して構成されており、それぞれ基板210上で、感光材料106の幅方向（主走査方向）に沿って、同一の配列規則にしたがって取り付けられている。すなわち、基板210の平面視で右端には、11個のB-LEDチップ208Bが、2列、かつ千鳥状に配列され、左端には、11個のR-LEDチップ208Rが、2列、かつ千鳥状に配列され、中央には、11個のG-LEDチップ208Gが、2列、かつ千鳥状に配列されており、合計6列のLEDチップが配列されている。

【0062】

基板210には、所定の配線がエッチング処理等で施されているが、この配線間が短絡しないように、金属で被覆されており、放熱機能を有している。このため、LEDチップ208の点灯による発熱を抑制することができ、発光量の変動を抑えることができる。なお、LEDチップ208の外形寸法（ $x \times y$ ）は約 $360 \times 360 \mu\text{m}$ である。

【0063】

ところで、図5に示される如く、基板210にマウントすべきLEDチップ208の同一色の列間ピッチ（主走査方向のピッチ） P は $600 \mu\text{m}$ で、各列の行ピッチ（副走査方向のピッチ） L は $520 \mu\text{m}$ 、千鳥状としたときの段差寸法 D は $260 \mu\text{m}$ 、各色間の隙間寸法 G はR-G間、G-B間で同一であることが好ましい。なお、図5に示すLEDチップ208の斜線部分は、実際に発光する領域であり、千鳥状とした同一発光色のLEDにおける隣り合う各行間の発光領域の境を一致させている。

【0064】

上記構造のフルカラー画像形成用光源部204により、感光材料106上には、各色共に1回の主走査で11本の主走査ラインが記録できることになる。なお、主走査ラインピッチ間は偶数の10となる。

【0065】

ここで、本実施形態では図6に示すように、感光材料106のステップ移動は、感光材料106上に記録される今回の第1番目の主走査ラインが、前回の6番目と7番目の間の主走査ラインの中間位置にくるピッチ（5.5ラインピッチ）で

副走査駆動、停止を繰り返すように制御されている。なお、図6において、細実線が前回の主走査によって形成された11本の主走査ラインであり、鎖線が今回の主走査によって形成される11本の主走査ラインであり、太実線が次回の主走査によって形成される11本の主走査ラインである。

【0066】

このように、LEDチップ208を奇数個とすることにより主走査ライン間を偶数個とし（すなわち、10間隔とし）、主走査ライン間の半数ずつにさらに主走査ラインを形成するようにして解像度を2倍に増加させている。このようにLEDチップ208を発光色毎に奇数個としてLEDチップ208の間隔を偶数個とし、主走査ラインの半数ずつに走査ラインを形成しているので、副走査ピッチを全て同一とすることができる。また、最初の主走査駆動時の第1番目から5番目の主走査ラインは、制御上書き込み無しとしている。

【0067】

次に図7を参照して、本発明に特に関係するコントローラ202内におけるフルカラー画像形成用光源部204を点灯させる部分及びその周辺の構成、すなわち本発明のパルス幅変調装置に相当する部分を含む部分の構成について詳細に説明する。

【0068】

コントローラ202は、該コントローラ202の動作を司るCPU10、各々11個ずつ設けられたR-LEDチップ208R、G-LEDチップ208G及びB-LEDチップ208Bに対応してシリアルに入力される画像データを各LEDチップ毎に分割して出力するデータセパレータ12、LEDチップと同数（本実施形態では33）のバッファ14及びPWMジェネレータ50を含んで構成されている。

【0069】

データセパレータ12の出力端はバッファ14の各々の入力端に接続されており、バッファ14の各々の出力端はPWMジェネレータ50の各々の入力端に接続されており、更にPWMジェネレータ50の各々の出力端はコンデンサ及び抵抗による並列回路を直列に介してLEDチップと同数だけ設けられたトランジス

タ 20 の各々のベース端子に接続されている。

【0070】

各トランジスタ 20 のコレクタ端子は抵抗を介して R-LED チップ 208 R、G-LED チップ 208 G 及び B-LED チップ 208 B の何れか 1 つのカソード端子に接続されている。なお、各 LED チップのアノード端子には所定の電源電圧 V_{cc} が印加されている。また、各トランジスタ 20 のエミッタ端子は接地されている。

【0071】

一方、CPU 10 は上記光量補正ユニット 230 及びデータセパレータ 12 に接続されており、光量補正ユニット 230 から入力される上記補正值に基づいてデータセパレータ 12 に入力された画像データの補正を行うと共に、データセパレータ 12 によって各 LED チップ毎に分割された画像データ 40 A に対して後述する遅延選択データ 40 B (図 8 参照) を付加する。従って、データセパレータ 12 からバッファ 14 に出力されるデータ (以下、PWM データという) は画像データ 40 A と遅延選択データ 40 B とによって構成されたものとなる。

【0072】

また、CPU 10 は各バッファ 14、各 PWM ジェネレータ 50、ステッピングモータ 226 にも接続されており、各バッファ 14 に記憶された PWM データの出力のタイミングの制御、各 PWM ジェネレータ 50 に対する主走査方向に 1 画素分の画像記録を行う際の 1 周期を示す画素クロック 42 の出力、フルカラー画像形成用光源部 204 のステップ移動の制御等を行なう。

【0073】

次に、図 8 を参照して、LED チップと同数だけ設けられた PWM ジェネレータ 50 の構成について説明する。同図に示すように、PWM ジェネレータ 50 には入力端が CPU 10 に接続されて画素クロック 42 が入力されるコントロールロジック 52 が設けられており、コントロールロジック 52 の一方の出力端は R-S フリップフロップ 54 のセット端子 (S 端子) に接続されており、他方の出力端はカウンタ 56 のリセット端子に接続されている。

【0074】

一方、PWMジェネレータ50には一方の入力端が対応するバッファ14の出力端に接続されて当該バッファ14に記憶されたPWMデータ40におけるNビット構成の画像データ40Aが入力されるコンパレータ58が設けられている。また、コンパレータ58の他方の入力端は上記カウンタ56の計数値を出力する出力端に接続されている。従って、コンパレータ58では画像データ40Aとカウンタ56による計数値とが比較される。

【0075】

更に、PWMジェネレータ50にはPWM信号の出力タイミングの基準となる基準クロックCLK0を生成して出力する基準クロック生成器60が備えられており、基準クロック生成器60の出力端は、上記基準クロックCLK0の1周期より短い所定時間（本実施形態では基準クロックCLK0の半周期に相当する時間）だけ遅延させて遅延クロックCLK1として出力する遅延回路62の入力端に接続されている。

【0076】

一方、基準クロック生成器60の出力端は分岐されてカウンタ56のパルス入力端及び2入力1出力のアンドゲート64Aの一方の入力端にも接続されている。従って、カウンタ56では基準クロックCLK0のパルス数が計数される。また、遅延回路62の出力端は2入力1出力のアンドゲート64Bの一方の入力端に接続されている。

【0077】

また、アンドゲート64A及び64Bの各々の他方の入力端は上記コンパレータ58の出力端に接続されており、アンドゲート64A及び64Bの各々の出力端は2入力1出力のセクタ66の各入力端に接続されており、更にセクタ66の出力端はR-Sフリップフロップ54のリセット端子（R端子）に接続されている。

【0078】

また、セクタ66の選択信号入力端には、入力端がバッファ14に接続されて遅延選択データ40Bが入力される1ビットデコーダ68の出力端に接続されている。1ビットデコーダ68では、バッファ14から入力された遅延選択デー

タ 40 B をデコードしてクロック選択信号 36 としてセレクタ 66 の選択信号入力端に入力する。なお、セレクタ 66 では、選択信号入力端に入力されるクロック選択信号 36 が 0 を示すものであった場合はアンドゲート 64 A の出力端に接続された入力端が選択され、クロック選択信号 36 が 1 を示すものであった場合はアンドゲート 64 B の出力端に接続された入力端が選択されるように構成されている。

【0079】

PWM ジェネレータ 50 が本発明のパルス幅変調装置に、R-S フリップフロップ 54 が本発明のパルス幅変調信号出力手段に、基準クロック生成器 60 が本発明のクロック生成手段に、遅延回路 62 が本発明の遅延手段に、各々相当する。

【0080】

(リザーバ部)

リザーバ部 170 (図 3 参照) は、前述の如く露光部 176 と水塗布部 178 との間に配設されており、2 対の挟持ローラ対 192、194 と、1 個のダンサーローラ 196 とで構成されている。感光材料 106 は、2 対の挟持ローラ対 192、194 に掛け渡されており、この間で感光材料 106 に略 U 字型の弛みを設けている。この弛みに対応してダンサーローラ 196 を上下動するようになっている。この弛み部に対応して感光材料 106 を保持している。

【0081】

露光部 176 では、感光材料 106 はステップ移動するが、水塗布部 178 では、水の均一な塗布のために一定速度で搬送させる必要がある。このため、露光部 176 と水塗布部 178 との間に感光材料 106 の搬送速度差が生じる。この速度差を吸収するために、ダンサーローラ 196 を上下動させ、感光材料 106 の弛み量を調整し、感光材料 106 のステップ移動と定速移動とを同時に行えるようにしている。

【0082】

(作用)

以下に本実施形態の作用を説明する。まず、画像記録のための全体の流れを説

明する。

【0083】

トレイ144をトレイ装填口146に装填しておき、感光材料106を巻き取った状態の供給リール152及び空状態の巻取リール154をそれぞれ所定位置に装填し、かつローディングが完了した状態で、操作表示部112のプリント開始キーを操作すると、コントローラ202では、CD-ROM102又はFD104から画像データを読み取り、該読取った画像データをデータセパレータ12によってLEDチップ毎に分割すると共に、分割された画像データ40Aの各々に対して遅延選択データ40Bを付加した後に、各バッファ14に記憶する。

【0084】

コントローラ202で画像データ40A及び遅延選択データ40B、すなわちPWMデータ40を記憶すると、供給リール152が駆動して、感光材料106の搬送を開始する。

【0085】

感光材料106が露光部176の所定位置に至ると、感光材料106は一旦停止して、コントローラ202に各LEDチップ208に対応して設けられたPWMジェネレータ50から画像データ40Aに対応するパルス幅のPWM信号48がフルカラー画像形成用光源部204へ出力される。このPWM信号48は、1ライン毎に出力され、フルカラー画像形成用光源部204は、ステッピングモータ226の駆動によってガイドシャフト218に案内され感光材料106の幅方向に沿って移動する（主走査）。

【0086】

なお、このPWM信号48の出力の開始前にフォトダイオード228によってフルカラー画像形成用光源部204からの各色の光量を検出し、光量補正ユニット230において、光量、色バランス等を調整するための補正值をコントローラ202のCPU10へ供給し、各画像データ40Aを補正している。この補正は1画像毎に実行される。

【0087】

図6に示される如く、1回の主走査が終了すると、感光材料106は、1ステ

ップ (5.5 ラインピッチ) 移動して停止し、2 回目の主走査がなされる。これを繰り返すことにより、感光材料 106 上に 1 フレーム分の画像が記録される。すなわち、LED チップ 208 の配置ピッチの半分のピッチで主走査ラインが形成されることになり、解像度が向上する。この場合、1 画面上の最初の主走査駆動時の上から 5 本までと、最後の主走査駆動時の下から 5 本は、未露光 (LED チップ 208 の消灯) とすればよい。

【0088】

なお、記録が終了した感光材料 106 は、リザーバ部 170 の上流側の挟持ローラ対 192 のみの駆動 (下流側の挟持ローラ対 194 は停止) によって、ダンサーローラ 196 に巻き掛けられるようにリザーバ部 170 で弛んだ状態で保持され、水塗布部 178 へは至らないようになっている。

【0089】

リザーバ部 170 に、1 画像分の長さの感光材料 106 がたまると、リザーバ部 170 の下流側の挟持ローラ対 194 が駆動を開始する。これにより、感光材料 (画像記録済) 106 が水塗布部 178 へ搬送される。水塗布部 178 では、感光材料 106 は定速搬送され、塗布片 188 によって水が均一に塗布される。

【0090】

この塗布片 188 には、タンク 190 から水が常に送られており、かつ所定の圧力で感光材料 106 を押圧しているため、適量の水が感光材料 106 へ塗布される。

【0091】

水が塗布された感光材料 106 は、ガイド板 172 に案内されて第 3 のローラ対 166 へと搬送される。

【0092】

一方、受像紙 108 は、半月ローラ 156 が 1 回転することにより、半月ローラ 156 の周面と受像紙 108 の先端部とが接触し、最上層の受像紙 108 が引き出され、第 1 のローラ対 160 に挟持される。この第 1 のローラ対 160 の駆動によって、受像紙 108 はトレイ 144 から引き出され、第 2 のローラ対 162 に挟持された状態で、感光材料 106 の到着を待つ。

【0093】

感光材料106がガイド板172を通過するのに同期して、第1のローラ対160及び第2のローラ対162の駆動が開始され、受像紙108は、ガイド板164に案内されて第3のローラ対166へと搬送される。

【0094】

第3のローラ対166では、感光材料106と受像紙108とが重ね合わされた状態で挟持し、ヒートローラ174へ送り出す。このとき、感光材料106に塗布された水によって、両者が密着される。

【0095】

重ね合わされた状態の感光材料106と受像紙108は、ヒートローラ174に巻き掛けられ、ヒータ182からの熱を受け、熱現像転写処理がなされる。すなわち、感光材料106に記録された画像が受像紙108へ転写され、顕像化される。

【0096】

ヒートローラ174に約1/3程度巻き掛けられた状態で熱現像転写は完了し、受像紙108は、剥離ローラ184及び剥離爪186によって感光材料106から剥がされ、剥離ローラ184に巻き掛けられる形で排出トレイ140上に排出される。

【0097】

一方、感光材料106は、ヒートローラ174に約1/2巻き掛けられた後、接線方向に移動して、巻取リール154に巻き取られる。

【0098】

次に、図8及び図9を参照して、各LEDチップに対応して設けられた各々のPWMジェネレータ50によって対応するLEDチップ208に対するPWM信号48を生成する際の作用について詳細に説明する。なお、図9はPWMジェネレータ50の内部における主要な信号の経時的な変化の一例を示すタイムチャートである。また、ここでは、所定周波数の画素クロック42がコントロールロジック52に入力されていると共に、上記所定周波数より高い周波数の基準クロックCLK0が基準クロック生成器60によって生成されていることを前提として

説明する。更に、ここでは、PWMジェネレータ50に入力されるPWMデータ40として3（画像データ40A）と0（遅延選択データ40B）とが入力され、引き続きPWMデータ40として3（画像データ40A）と1（遅延選択データ40B）とが入力される場合について説明する。

【0099】

PWMジェネレータ50のコントロールロジック52では、画素クロック42の立ち上がりに同期してR-Sフリップフロップ54のS端子に対してPWMスタート信号30を入力すると共に、カウンタ56に対してリセット信号32を出力する。これによってR-Sフリップフロップ54のQ端子出力がハイレベルとされてPWM信号48が立ち上げられると共に、カウンタ56の計数値がリセットされる。

【0100】

その後、カウンタ56では基準クロック生成器60から入力されている基準クロックCLK0の各パルスの計数が開始され、該計数値がコンパレータ58の他方の入力端に出力される。

【0101】

一方、コンパレータ58の一方の入力端にはPWMデータ40における画像データ40Aが入力されており、コンパレータ58からは画像データ40Aとカウンタ56による計数値とが一致されたときにハイレベルとなるカウント終了信号34が出力されてアンドゲート64A及び64Bの各々の他方の入力端に入力される。

【0102】

一方、アンドゲート64Aの一方の入力端には基準クロックCLK0が入力されており、アンドゲート64Bの一方の入力端には基準クロックCLK0に対して該基準クロックCLK0の半周期に対応する時間だけ遅延された遅延クロックCLK1が入力されている。また、セクタ66の選択信号入力端には1ビットデコーダ68によって遅延選択データ40Bに応じたクロック選択信号36が入力されている。

【0103】

従ってセクタ66からは、画像データ40Aとカウンタ56による計数値とが一致され、かつクロック選択信号36に応じて選択された基準クロックCLK0及び遅延クロックCLK1の何れか一方のパルスに同期したタイミングでPWMストップ信号38がR-Sフリップフロップ54のR端子に入力されてR-Sフリップフロップ54のQ端子出力がローレベルとされてPWM信号48が立ち下げられる。

【0104】

すなわち、この場合は、最初に画像データ40Aとして3が、遅延選択データ40Bとして0が各々入力されるので、PWM信号48は画素クロック42に同期して立ち上がった後、カウンタ56による基準クロックCLK0の3つのパルスの計数が終了し、かつ基準クロックCLK0に同期したタイミングで立ち下がる。一方、次に画像データ40Aとして3が、遅延選択データ40Bとして1が各々入力された際には、PWM信号48は画素クロック42に同期して立ち上がった後、カウンタ56による基準クロックCLK0の3つのパルスの計数が終了し、かつ遅延クロックCLK1に同期したタイミングで立ち下がる。

【0105】

従って、遅延選択データ40Bとして1が設定された場合のPWM信号48のパルス幅48Bは遅延選択データ40Bとして0が設定された場合のPWM信号48のパルス幅48Aに比較して基準クロックCLK0の半周期に相当する時間分だけ長いものとされる。すなわち、この場合は基準クロックCLK0によってPWM信号48を立ち下げた場合に比較して2倍のビット分解能が得られることになる。

【0106】

以上の動作が各LEDチップ208に対応して設けられたPWMジェネレータ50の各々によって行なわれることにより、各LEDチップ208による主走査方向の1画素目の11ライン分の感光材料106への露光が行われることになる。

【0107】

従って、これ以降、上記と同様に、主走査方向の2画素目以降の画像データに

対応したPWM信号48の生成を行うことによって、全ての画像データに対応する露光が行なわれる。

【0108】

以上詳細に説明したように、本第1実施形態に係るパルス幅変調装置としてのPWMジェネレータ50では、基準クロックを該基準クロックの半周期に対応する時間だけ遅延させ、基準クロックに同期してPWM信号の各パルスの立ち上げを行ない、上記遅延された基準クロック（遅延クロック）に同期してPWM信号の各パルスの立ち下げを行なっているので、PWM信号のビット分解能を向上することができる。

【0109】

なお、本第1実施形態では、本発明の遅延手段として1つの遅延回路62を適用し、基準クロックCLK0を半周期分だけ遅延させた遅延クロックCLK1を利用する場合について説明したが、本発明はこれに限定されるものではなく、本発明の遅延手段として複数の遅延回路を適用する形態としてもよい。

【0110】

図10には、この場合のPWMジェネレータ50'の構成例が示されている。なお、同図における図8と同様の機能を有する部分については同一の符号を付してある。

【0111】

同図に示すように、このPWMジェネレータ50'には複数（同図ではM個）の遅延回路62A～62Xが備えられており、これに伴って、アンドゲート64も遅延回路と同数だけ設けられていると共に、セクタ66も入力数が遅延回路と同数とされたセクタ66'とされている。

【0112】

また、本実施形態における1ビット構成の遅延選択データ40Bが遅延回路数に応じたビット構成（mビット構成）とされた遅延選択データ40B'とされていると共に、これに伴って本実施形態における1ビットデコーダ68がmビットデコーダ68'とされている。

【0113】

なお、上記複数の遅延回路 62A～62Xは直列に接続されており、各遅延回路による遅延時間の合計が基準クロックCLK0の1周期より短い時間とされている。

【0114】

PWMジェネレータ50'が請求項2記載のパルス幅変調装置に、遅延回路62A～62Xの各々が請求項2記載の発明の複数の遅延手段に、各々相当する。

【0115】

このように構成されたPWMジェネレータ50'では、遅延選択データ40B'に設定した値に応じて遅延回路の各々から出力されている遅延クロックCLK1～CLKXから何れかを選択的に使用することができるので、遅延回路を1つのみ設けた場合に比較して、PWM信号48のビット分解能を、より向上することができる。

【0116】

また、本第1実施形態では、基準クロックCLK0に同期してPWM信号を立ち上げ、遅延クロックCLK1に同期してPWM信号を立ち下げる場合について説明したが、本発明はこれに限定されるものではなく、遅延クロックCLK1に同期してPWM信号を立ち上げ、基準クロックCLK0に同期してPWM信号を立ち下げる形態としても、本実施形態と同様の効果を奏することができる。

【0117】

更に、図8、図10に示した構成は一例であり、各図における各部とも同様に作用するものを適用できることはいうまでもない。

【0118】

〔第2実施形態〕

本第2実施形態では、請求項3記載の発明の実施の形態について説明する。なお、本第2実施形態に係るPWMジェネレータ以外の構成については上記第1実施形態と同様であるので、ここでの説明は省略する。

【0119】

まず、図11を参照して、本第2実施形態に係るPWMジェネレータ50'の構成について説明する。なお、同図における図8と同様の部分については同一

の符号を付して、その説明を省略する。

【0120】

図11に示すように、本第2実施形態に係るPWMジェネレータ50'は、上記第1実施形態に係るPWMジェネレータ50と比較して、遅延回路62が反転回路63とされている点のみが異なっている。従って、反転回路63からは基準クロックCLK0を反転した反転クロックCLK-Nが出力される。

【0121】

PWMジェネレータ50'が本発明のパルス幅変調装置に、反転回路63が本発明の反転手段に、各々相当する。

【0122】

(作用)

次に、図11及び図12を参照して、各LEDチップに対応して設けられた各々のPWMジェネレータ50'によって対応するLEDチップ208に対するPWM信号48を生成する際の作用について詳細に説明する。なお、図12はPWMジェネレータ50'の内部における主要な信号の経時的な変化の一例を示すタイムチャートである。また、ここでは、上記第1実施形態と同様に、所定周波数の画素クロック42がコントロールロジック52に入力されていると共に、上記所定周波数より高い周波数の基準クロックCLK0が基準クロック生成器60によって生成されており、PWMジェネレータ50'に入力されるPWMデータ40として3(画像データ40A)と0(遅延選択データ40B)とが入力され、引き続きPWMデータ40として3(画像データ40A)と1(遅延選択データ40B)とが入力される場合について説明する。更に、ここでは、基準クロックCLK0をデューティ比が50%のパルス信号とした場合について説明する。

【0123】

PWMジェネレータ50'のコントロールロジック52では、画素クロック42の立ち上がり同期してR-Sフリップフロップ54のS端子に対してPWMスタート信号30を入力すると共に、カウンタ56に対してリセット信号32を出力する。これによってR-Sフリップフロップ54のQ端子出力がハイレベ

ルとされてPWM信号48が立ち上げられると共に、カウンタ56の計数値がリセットされる。

【0124】

その後、カウンタ56では基準クロック生成器60から入力されている基準クロックCLK0の各パルスの計数が開始され、該計数値がコンパレータ58の他方の入力端に出力される。

【0125】

一方、コンパレータ58の一方の入力端にはPWMデータ40における画像データ40Aが入力されており、コンパレータ58からは画像データ40Aとカウンタ56による計数値とが一致されたときにハイレベルとなるカウント終了信号34が出力されてアンドゲート64A及び64Bの各々の他方の入力端に入力される。

【0126】

一方、アンドゲート64Aの一方の入力端には基準クロックCLK0が入力されており、アンドゲート64Bの一方の入力端には基準クロックCLK0を反転した反転クロックCLK-Nが入力されている。また、セクタ66の選択信号入力端には1ビットデコーダ68によって遅延選択データ40Bに応じたクロック選択信号36が入力されている。

【0127】

従ってセクタ66からは、画像データ40Aとカウンタ56による計数値とが一致され、かつクロック選択信号36に応じて選択された基準クロックCLK0及び反転クロックCLK-Nの何れか一方のパルスに同期したタイミングでPWMストップ信号3.8がR-Sフリップフロップ54のR端子に入力されてR-Sフリップフロップ54のQ端子出力がローレベルとされてPWM信号48が立ち下げられる。

【0128】

すなわち、この場合は、最初に画像データ40Aとして3が、遅延選択データ40Bとして0が各々入力されるので、PWM信号48は画素クロック42に同期して立ち上がった後、カウンタ56による基準クロックCLK0の3つのパル

スの計数が終了し、かつ基準クロックCLK0に同期したタイミングで立ち下がる。一方、次に画像データ40Aとして3が、遅延選択データ40Bとして1が各々入力された際には、PWM信号48は画素クロック42に同期して立ち上がった後、カウンタ56による基準クロックCLK0の3つのパルスの計数が終了し、かつ反転クロックCLK-Nに同期したタイミングで立ち下がる。

【0129】

従って、遅延選択データ40Bとして1が設定された場合のPWM信号48のパルス幅48Bは遅延選択データ40Bとして0が設定された場合のPWM信号48のパルス幅48Aに比較して基準クロックCLK0の半周期に相当する時間分だけ長いものとされる。すなわち、この場合は基準クロックCLK0によってPWM信号48を立ち下げた場合に比較して2倍のビット分解能が得られることになる。

【0130】

以上詳細に説明したように、本第2実施形態に係るパルス幅変調装置としてのPWMジェネレータ50'では、基準クロックを反転させ、基準クロックに同期してPWM信号の各パルスの立ち上げを行ない、上記反転された基準クロック（反転クロック）に同期してPWM信号の各パルスの立ち下げを行なっているので、PWM信号のビット分解能を向上することができる。

【0131】

なお、本第2実施形態では、基準クロックCLK0のデューティ比が50%である場合について説明したが、本発明はこれに限定されるものではなく、基準クロックCLK0のデューティ比は如何なる値であっても本発明は適用することができる。

【0132】

また、本第2実施形態では、基準クロックCLK0に同期してPWM信号を立ち上げ、反転クロックCLK-Nに同期してPWM信号を立ち下げる場合について説明したが、本発明はこれに限定されるものではなく、反転クロックCLK-Nに同期してPWM信号を立ち上げ、基準クロックCLK0に同期してPWM信号を立ち下げる形態としても、本実施形態と同様の効果を奏することができる。

【0 1 3 3】

更に、図 1 1 に示した構成は一例であり、図 1 1 における各部とも同様に作用するものを適用できることはいうまでもない。

【0 1 3 4】

【発明の効果】

請求項 1 記載のパルス幅変調装置によれば、クロック信号、及び遅延手段によって遅延されたクロック信号の一方に同期してパルス幅変調信号の各パルスを立て上げ、クロック信号、及び遅延手段によって遅延されたクロック信号の他方に同期してパルス幅変調信号の各パルスを立て下げているので、クロック信号のみに基づいてパルスの立ち上げ及び立ち下げを行なう場合に比較して、パルス幅変調信号のビット分解能を向上することができる、という効果が得られる。

【0 1 3 5】

また、請求項 2 記載のパルス幅変調装置によれば、クロック信号、及び各々遅延時間が徐々に長くされた複数の遅延手段の各々によって遅延された複数のクロック信号の何れか 1 つに同期してパルス幅変調信号の各パルスを立て上げ、クロック信号、及び上記複数のクロック信号の残りの何れか 1 つに同期して上記パルス幅変調信号の各パルスを立て下げているので、1 つの遅延手段により 1 つの遅延されたクロック信号を生成して使用する場合に比較して、パルス幅変調信号のビット分解能を、より向上することができる、という効果が得られる。

【0 1 3 6】

更に、請求項 3 記載のパルス幅変調装置によれば、クロック信号、及び反転手段によって反転されたクロック信号の一方に同期してパルス幅変調信号の各パルスを立て上げ、クロック信号、及び反転手段によって反転されたクロック信号の他方に同期してパルス幅変調信号の各パルスを立て下げているので、クロック信号のみに基づいてパルスの立ち上げ及び立ち下げを行なう場合に比較して、パルス幅変調信号のビット分解能を向上することができる、という効果が得られる。

【図面の簡単な説明】

【図 1】

実施の形態に係る画像記録装置の斜視図である。

【図 2】

実施の形態に係る画像記録装置の正面図である。

【図 3】

実施の形態に係る画像記録装置の内部構成を示す側面断面図である。

【図 4】

露光部の概略構成を示す正面図である。

【図 5】

光源部における LED チップの配置状態の概要を示す平面図である。

【図 6】

主走査ラインの状態及び副走査ピッチを示す感光材料平面図である。

【図 7】

実施の形態に係るコントローラ内の光源部を点灯させる部分の構成を示すブロック図である。

【図 8】

第 1 実施形態に係る PWM ジェネレータの構成を示すブロック図である。

【図 9】

第 1 実施形態に係る PWM ジェネレータの動作の説明に供するタイムチャートである。

【図 1 0】

第 1 実施形態に係る PWM ジェネレータの別の構成例を示すブロック図である。

【図 1 1】

第 2 実施形態に係る PWM ジェネレータの構成を示すブロック図である。

【図 1 2】

第 2 実施形態に係る PWM ジェネレータの動作の説明に供するタイムチャートである。

【図 1 3】

従来のパルス幅変調装置の構成を示すブロック図である。

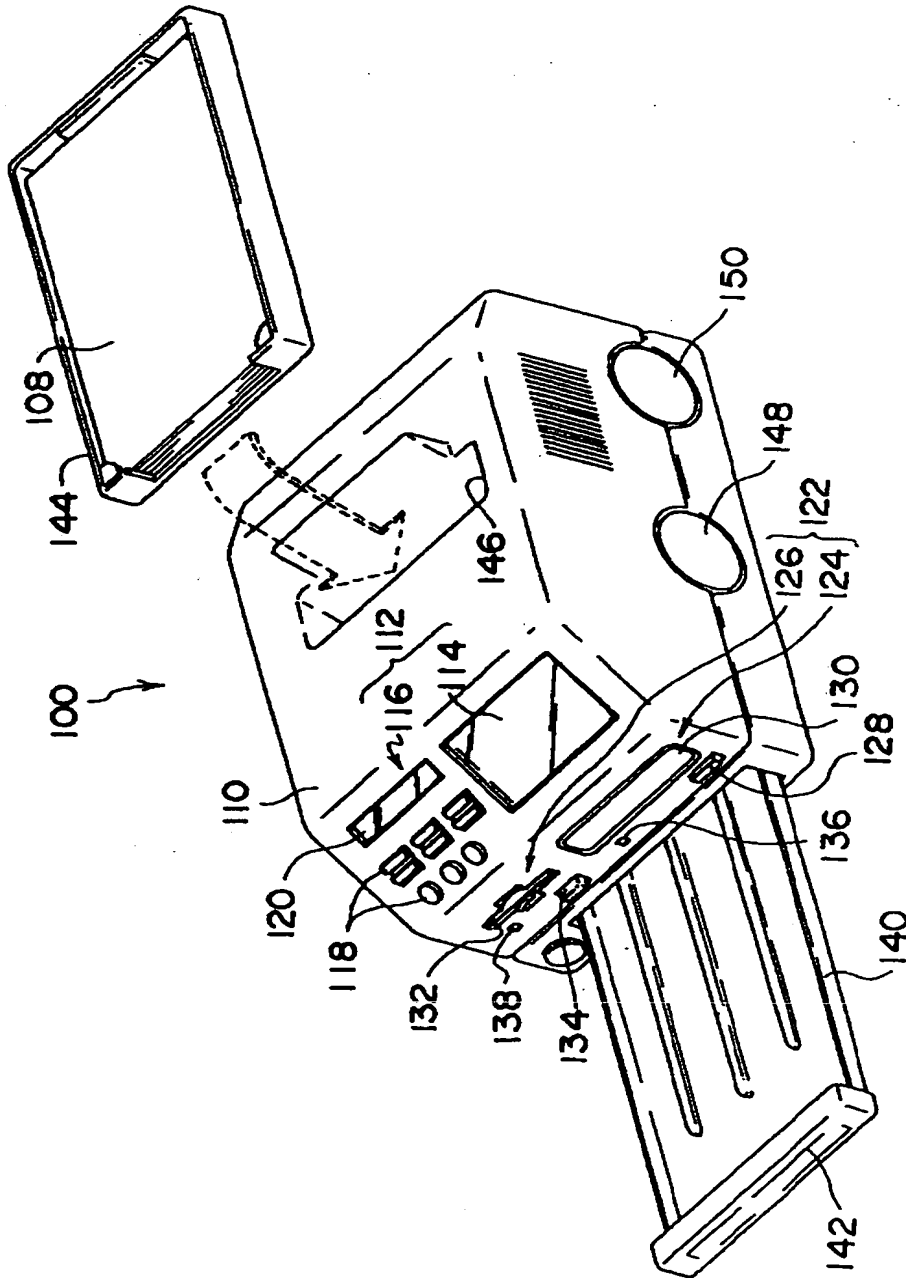
【符号の説明】

- 48 パルス幅変調信号
- 50、50'、50'' PWMジェネレータ（パルス幅変調装置）
- 54 R-Sフリップフロップ（パルス幅変調信号出力手段）
- 60 基準クロック生成器（クロック生成手段）
- 62 遅延回路（遅延手段）
- 62A～62X 遅延回路（複数の遅延手段）
- 63 反転回路（反転手段）
- 176 露光部
- 202 コントローラ
- 204 フルカラー画像形成用光源部
- 208 LEDチップ

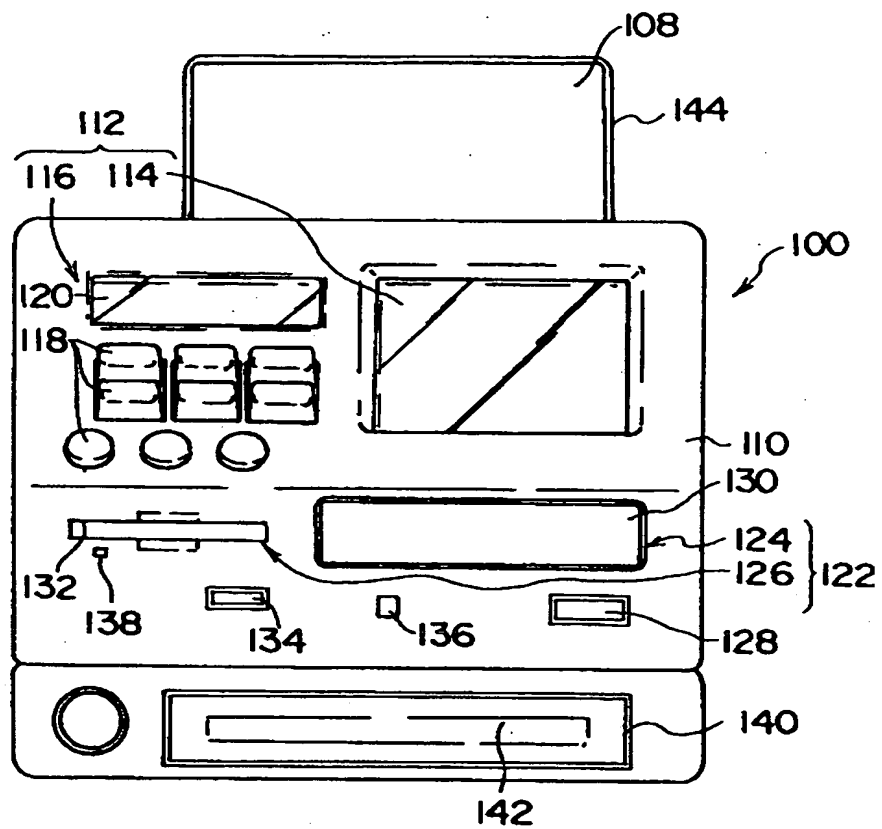
【書類名】

図面

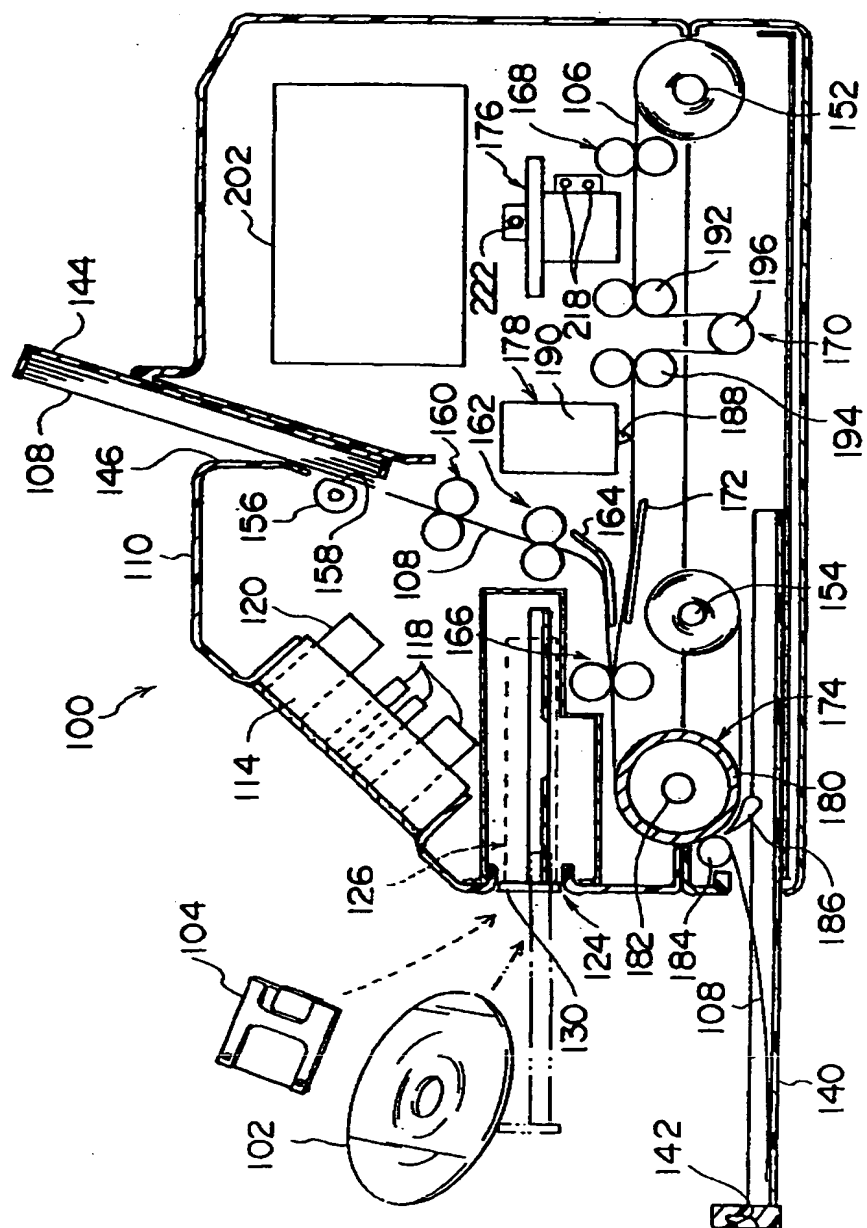
【図 1】



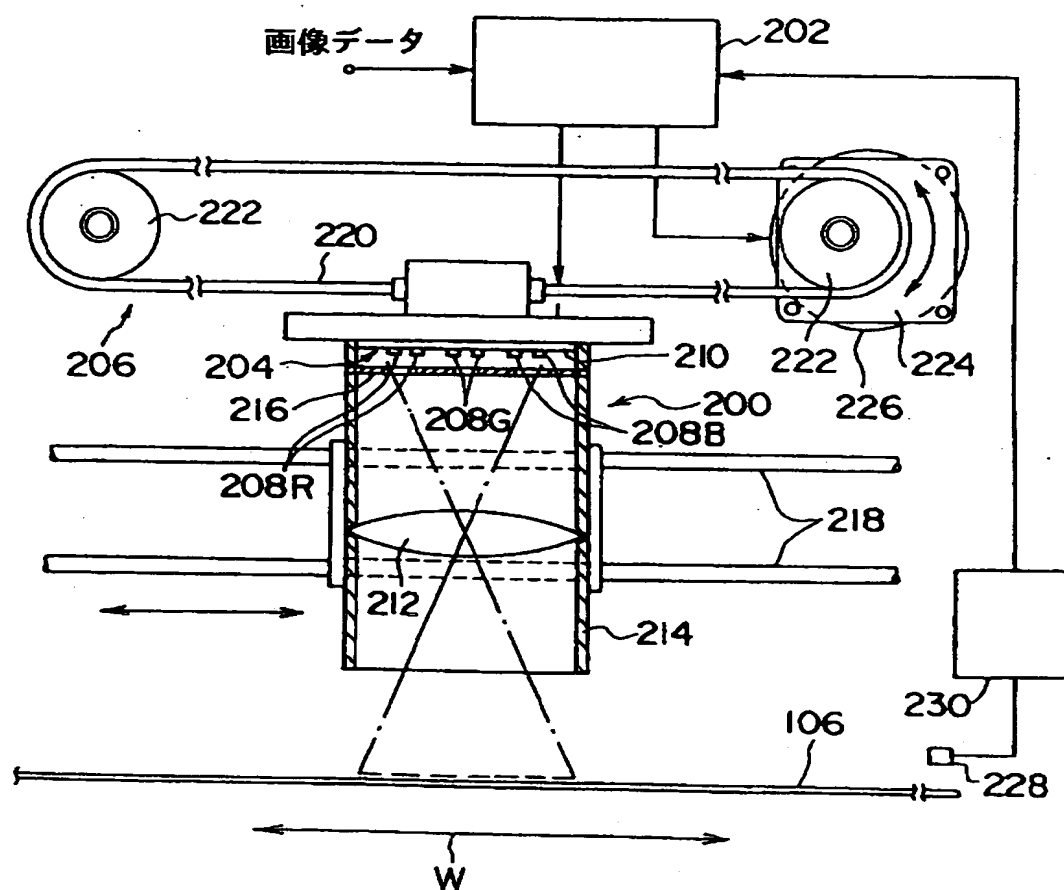
【図 2】



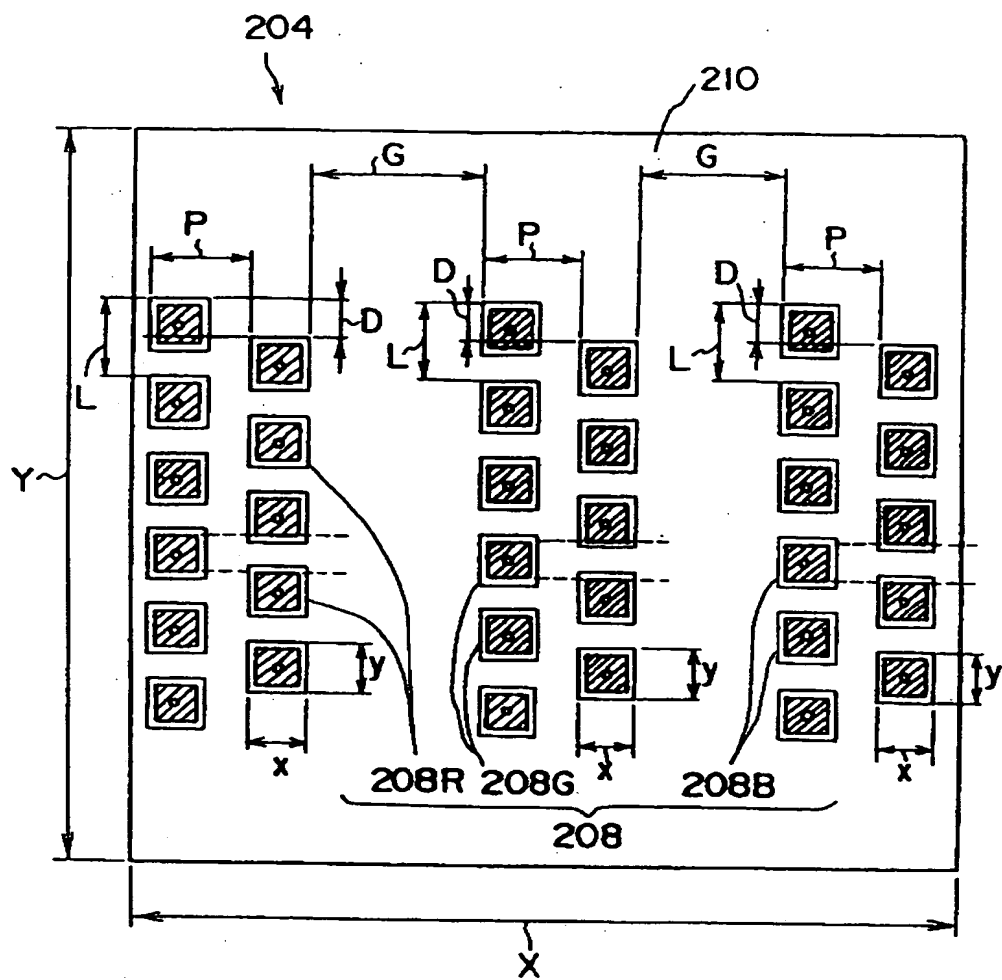
【図 3】



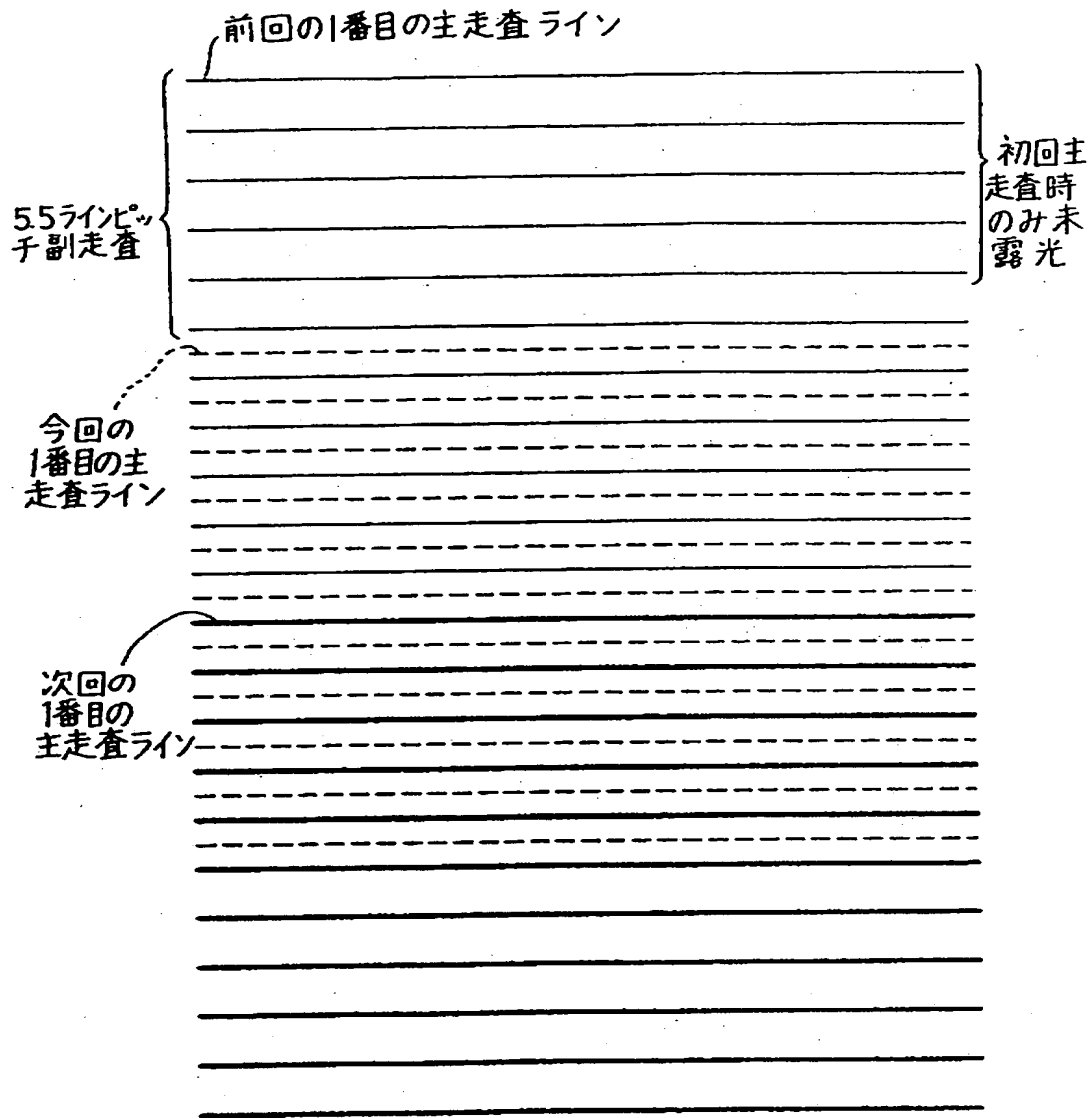
【図 4】



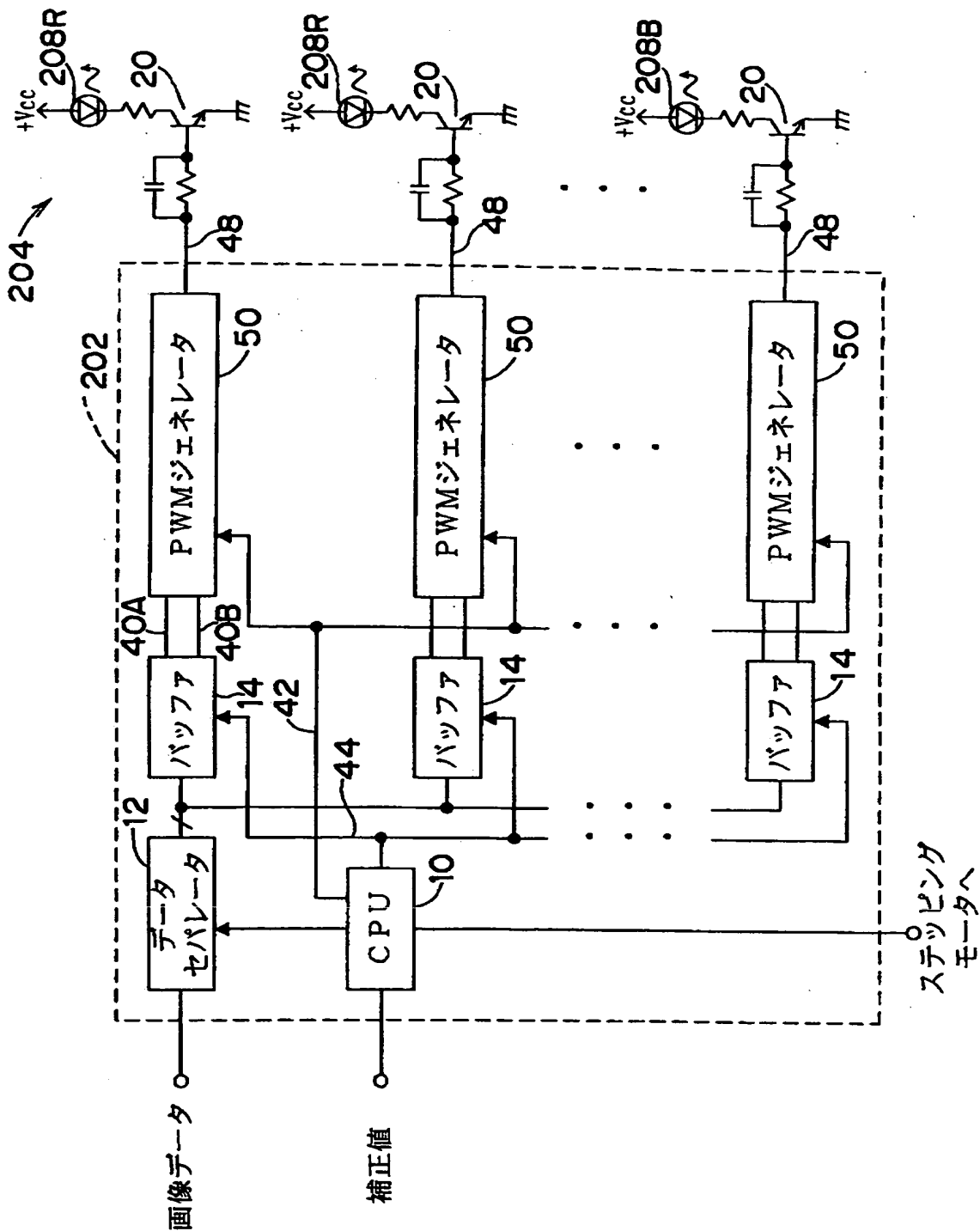
【図 5】



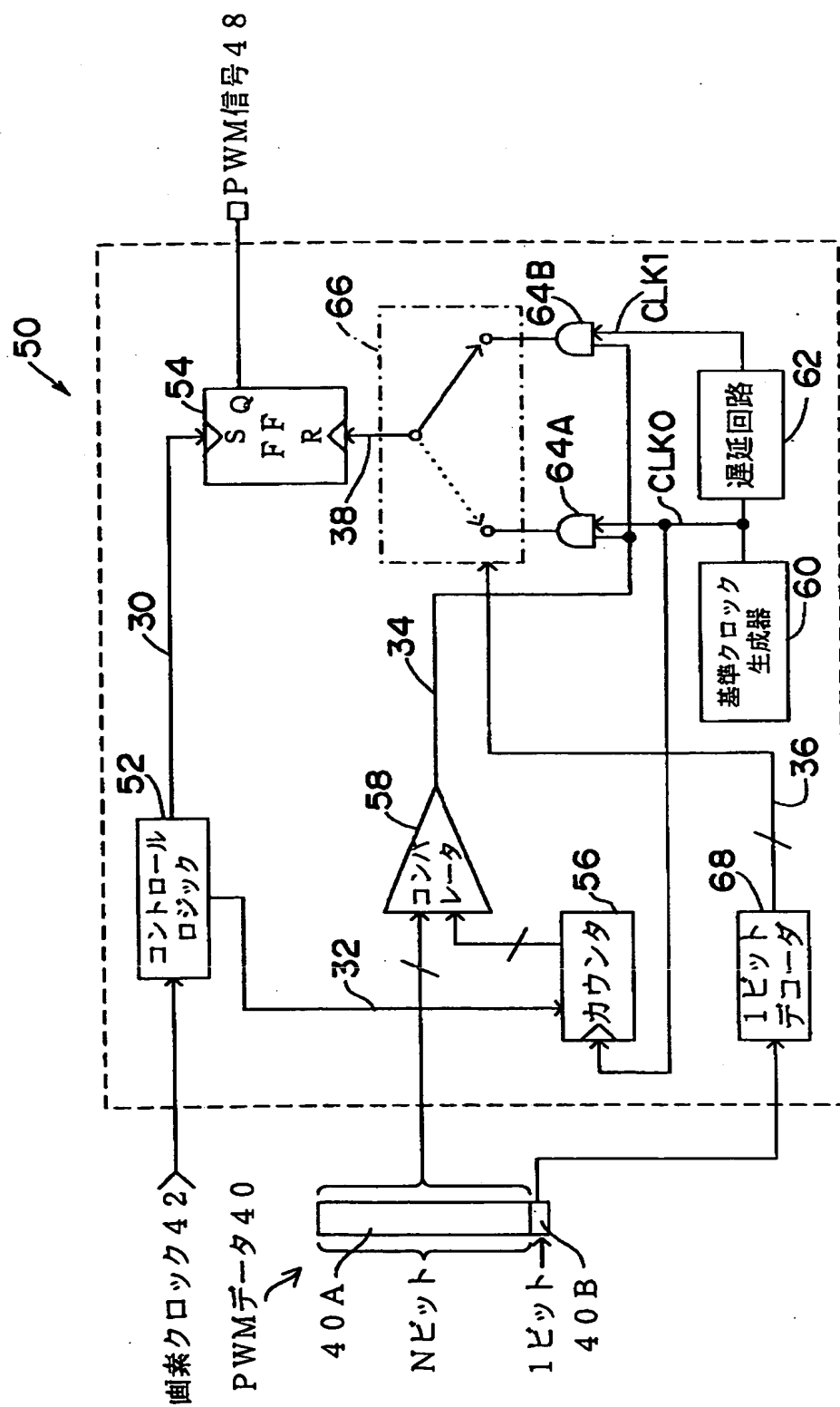
【図6】



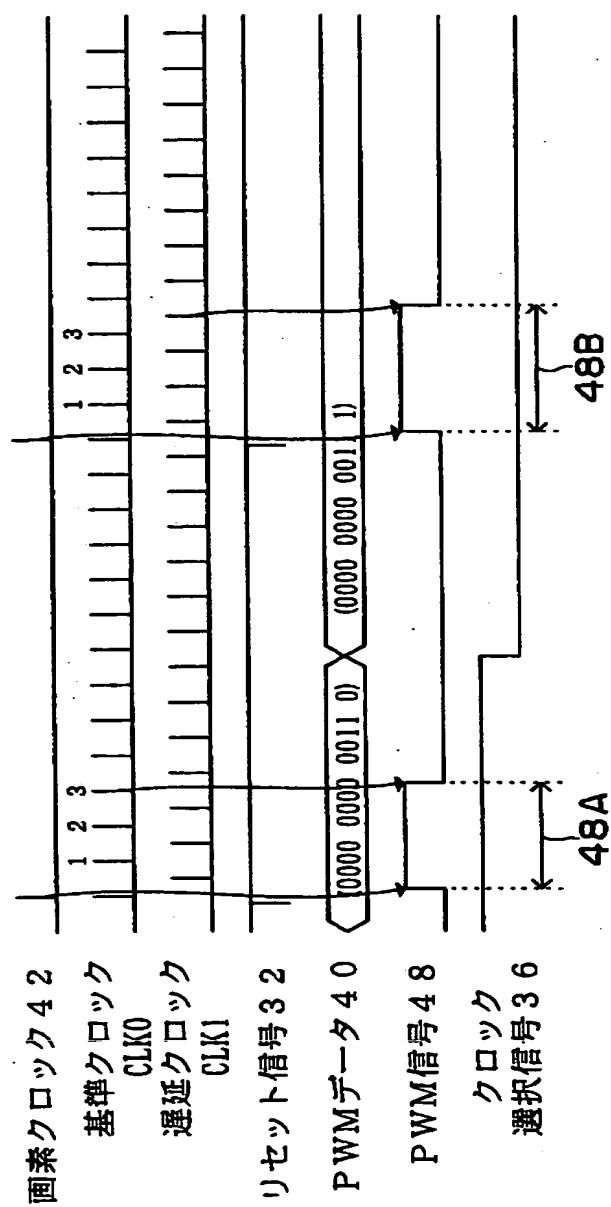
【図 7】



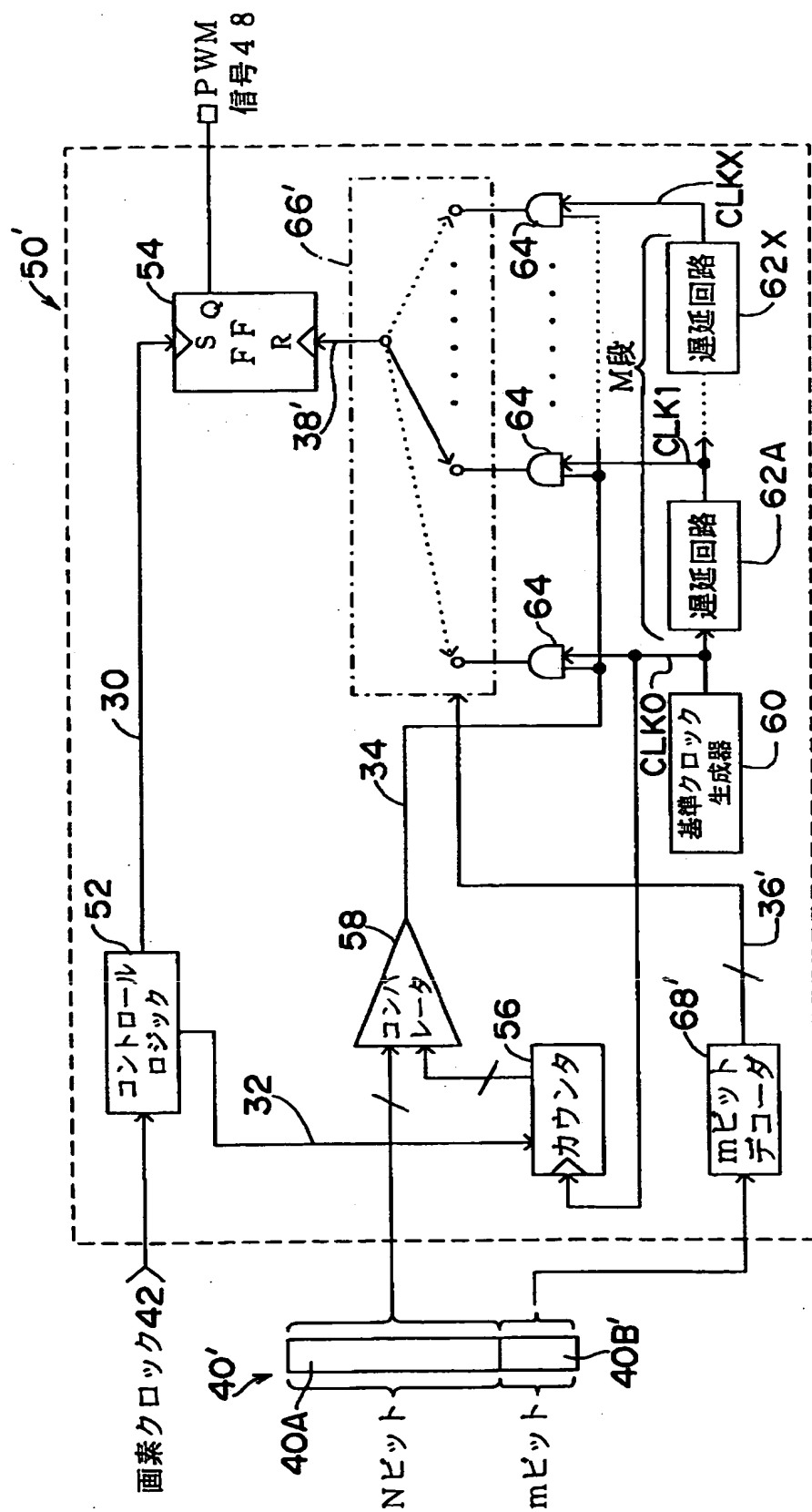
【図 8】



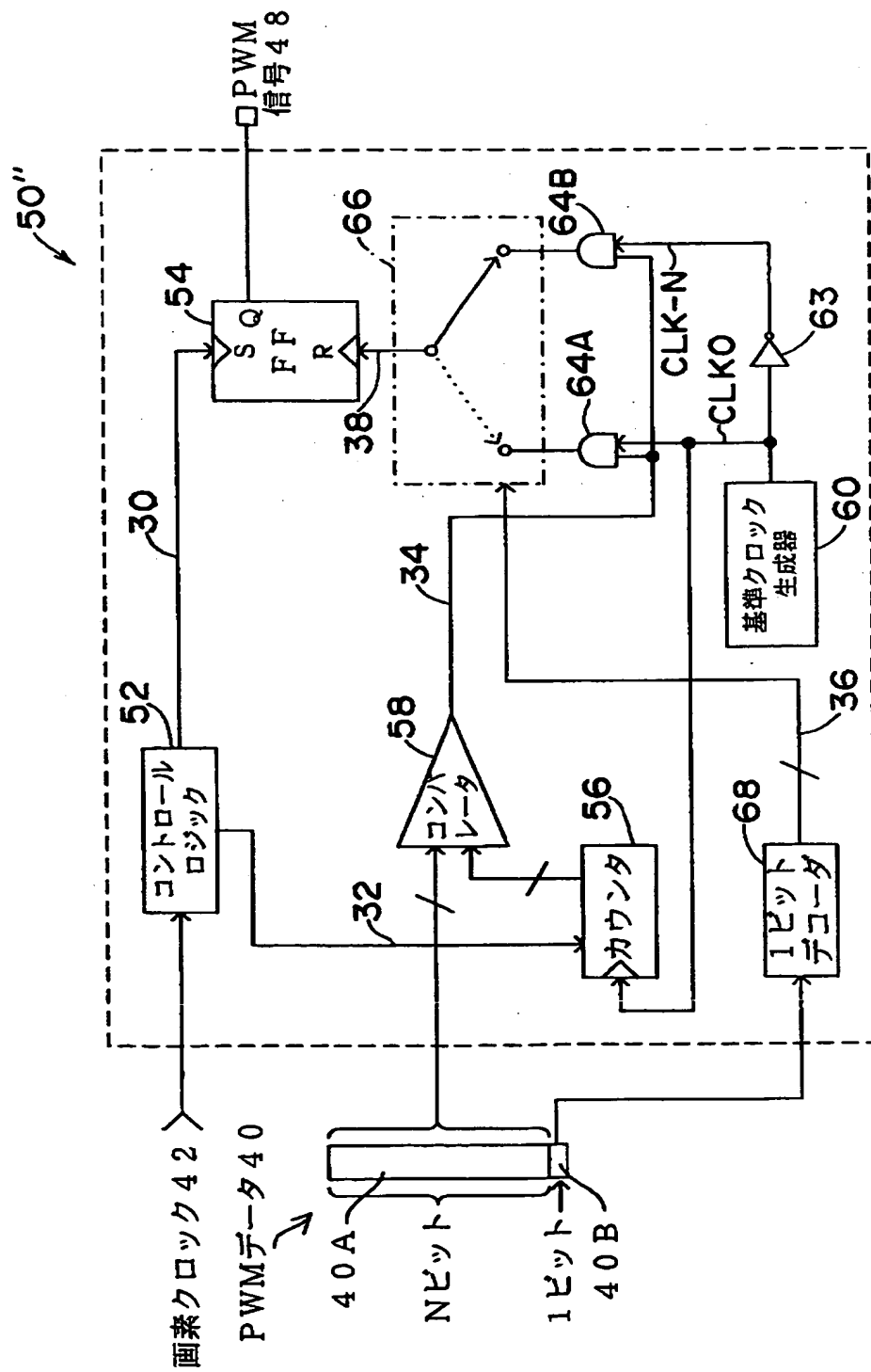
【図 9】



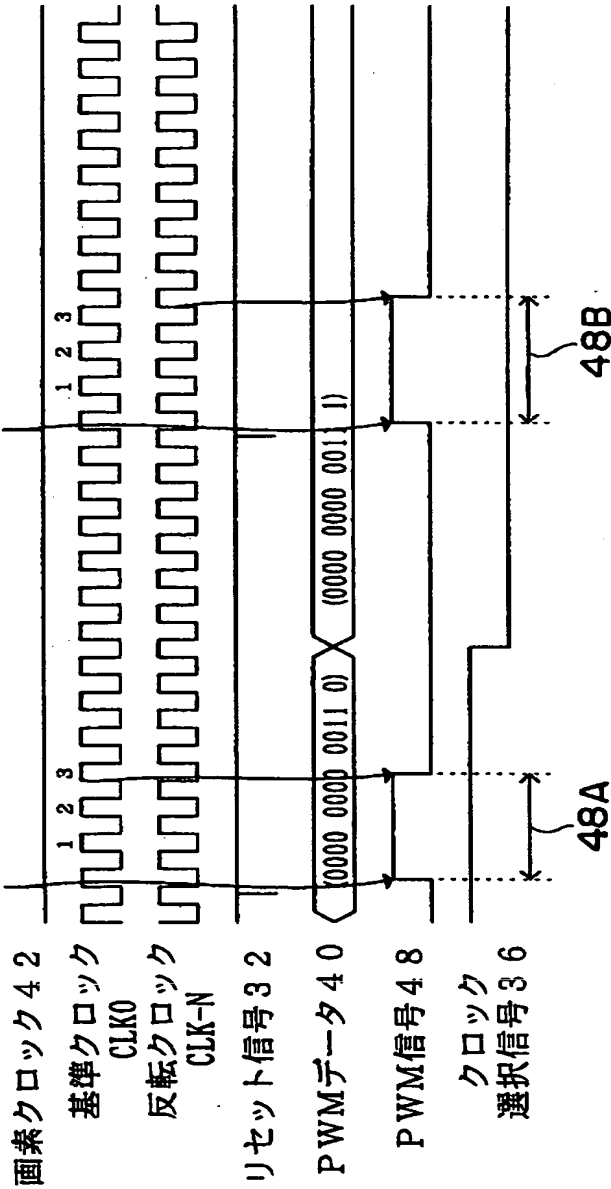
【図 10】



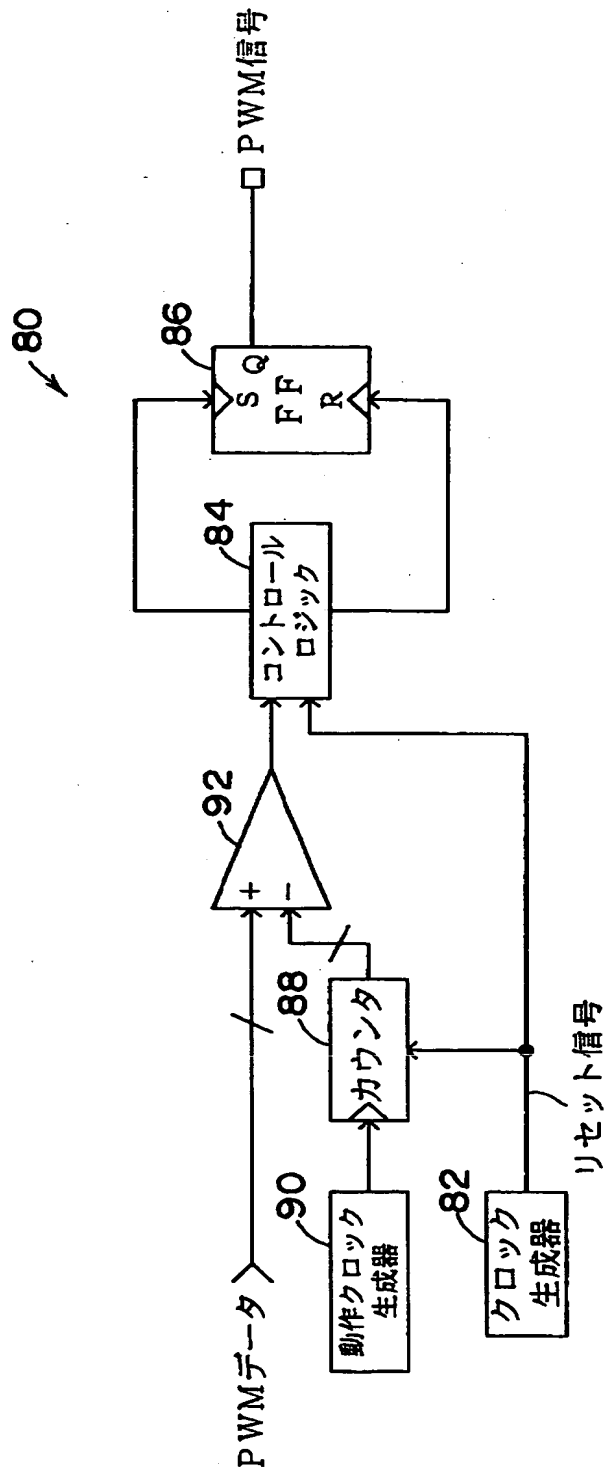
【图 1 1】



【図 1 2】



【図 1 3】



【書類名】 要約書

【要約】

【課題】 生成するパルス幅変調信号のビット分解能を向上することができるパルス幅変調装置を得る。

【解決手段】 画素クロック 4 2 に同期して R - S フリップフロップ 5 4 のセット端子 (S 端子) にパルスを入力することにより PWM 信号 4 8 を立ち上げ、該 PWM 信号 4 8 の立ち下げは、基準クロック生成器 6 0 によって生成された基準クロック CLK 0、及び該基準クロック CLK 0 を遅延回路 6 2 によって遅延することによって得た遅延クロック CLK 1 の何れか一方を遅延選択データ 4 0 B に応じて選択し、該選択したクロックに同期するように行なう。

【選択図】 図 8

出 願 人 履 歴 情 報

識別番号 [000005201]

1. 変更年月日 1990年 8月14日

[変更理由] 新規登録

住 所 神奈川県南足柄市中沼210番地

氏 名 富士写真フイルム株式会社